

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-230027
(43)Date of publication of application : 08.10.1987

(51)Int.CI. H01L 21/56
H01L 23/28

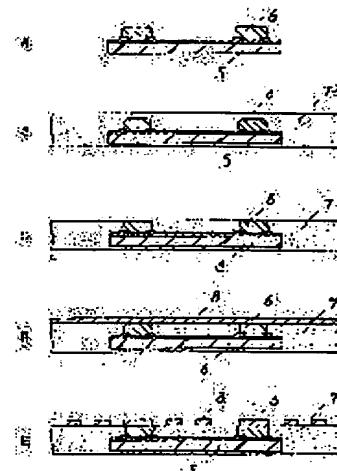
(21)Application number : 61-073518 (71)Applicant : MATSUSHITA ELECTRIC IND CO LTD
(22)Date of filing : 31.03.1986 (72)Inventor : NAKAMURA HISASHI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To contrive the improvement in a resistance to humidity and reliability by forming a circuit conductor layer on a surface of a synthetic resin layer after burying a single unit of semiconductor chip or plural semiconductor chips provided with projection electrode in the synthetic resin and polishing a surface of the synthetic resin to expose a part of the projection electrodes.

CONSTITUTION: Projection electrodes 6 are formed in an aluminum electrode terminal part formed on a semiconductor chip 5. Next, the semiconductor chip 5 is buried in a synthetic resin 7 and the surface of this cured synthetic resin substance is polished by use of a sand paper etc. to make the surface of the resin layer smooth and also to expose a part of the projection electrodes 6 formed on the semiconductor chip 5. A conductive metal layer 8 such as of copper or nickel is deposited on a surface of the synthetic resin layer 7 by vacuum evaporation, spattering, or electroless plating. After that, the unnecessary part of the conductive metal layer 8 is removed to form a circuit conductor layer 8. Thus, the connection of a semiconductor chip is effected easily and steadily and also high reliability can be contrived.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

[decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑯ 日本国特許庁 (JP) ⑮ 特許出願公開
⑰ 公開特許公報 (A) 昭62-230027

⑯ Int.Cl.
H 01 L 21/56
23/28

識別記号 廈内整理番号
R-6835-5F
Z-6835-5F

⑮ 公開 昭和62年(1987)10月8日
審査請求 未請求 発明の数 1 (全4頁)

④ 発明の名称 半導体装置の製造方法

⑯ 特願 昭61-73518
⑰ 出願 昭61(1986)3月31日

④ 発明者 中村恒 門真市大字門真1006番地 松下電器産業株式会社内
⑤ 出願人 松下電器産業株式会社 門真市大字門真1006番地
⑥ 代理人 弁理士 中尾敏男 外1名

明細書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

- (1) 突起電極を形成した半導体チップの単体もしくは複数個を合成樹脂中に埋設し、この合成樹脂層の表面を研削して前記突起電極の一部を露出させるとともに前記合成樹脂層の表面に所望とする回路導体層を形成することを特徴とした半導体装置の製造方法。
- (2) 突起電極を形成した半導体チップの単体もしくは複数個を支持基板に固定して合成樹脂中に埋設することを特徴とした特許請求の範囲第1項記載以外の半導体装置の製造方法。

3. 発明の詳細な説明

産業上の利用分野

本発明は広範な電子機器に用いられる半導体装置、とりわけICカードやメモリーカードなどに用いる薄型の半導体装置の製造方法に関するものである。

従来の技術

近年、半導体技術の進歩はめざましいものがあり、電子機器の軽薄短小化はもとより、高性能化や高信頼化に大きく寄与している。

このような中には、昨今半導体チップを薄くパッケージし、さらにその複数個を高密度に実装して電子回路を構成する高密度実装技術の重要性がますます増大している。

従来、このような半導体チップの高密度実装技術としてはいろいろな方法が実施されているが、その代表的な方法としてフリップチップ方式と呼ばれる実装方法がある。この方法は第1図に示すようにシリコンから成る半導体チップ1に形成されたアルミ電極端子部に真空蒸着技術や電気めっき技術、フォトリソ技術を利用してCr-Cu-はんだやPd-Ni-Auなどから成るバンプと呼ばれる突起電極2を設け、これをフェースダウントしてその突起電極2をアルミナなどのセラミックよりなる回路基板3の表面に形成した回路導体層4とはんだリフロー法などの方法によって組み

的に接続したものである。

発明が解決しようとする問題点

しかしながら、上記のような半導体チップの実装方法では、半導体チップ1をフェースダウン方式によって回路基板3と接続させるために、突起電極2と回路導体層4のアライメント作業が煩雑となり、接続の安定性に欠けるとともに、その接続状態を外観的に検査できないため歩留りが低下すること、半導体チップ1を実装する回路基板3はシリコンと膨張係数を合致させないと、熱衝撃によって接続の信頼性がそこなわれる所以回路基板3の材質はアルミナなどのセラミック基板に限定されること、さらには半導体チップ1を回路基板3にフェースダウン実装した状態では半導体チップ1の表面に樹脂コートするのが困難なため、特に耐湿信頼性を確保するのがむつかしいという問題を有していた。

本発明はこのような問題点を解決するもので、半導体チップの接続を容易にかつ確実に行うとともに高信頼性をはかることを目的としたものであ

第1図A～Dは本発明の一実施例における半導体装置の製造方法を説明する製造工程図であり、第1図において、Bは半導体チップ、Cはバンプと呼ばれる突起電極、Dは合成樹脂層、Eは回路導体層である。

以上のように構成された半導体装置について以下その製造方法を詳細に述べる。

本発明による半導体装置はまず第1図Aに示すように半導体チップBに形成されたアルミ電極端子部にバンプと呼ばれる突起電極Cを形成する。この突起電極Cの形成法としては、通常のリップチップのバンプ形成法と同様な方法によって行う。

即ち、イオン注入、拡散工程、アルミ配線形成バッジーション工程などを経て作ったシリコシウェーハーを用いて、その表面に真空蒸着法やスパッタリング法によりクロム、チタン、パラジウムなどのバリヤ金属を付着させ、さらにその表面に銅やニッケルなどの薄膜を形成させてから、フォト技術を利用してアルミ電極部のみを露出させ、

る。

問題点を解決するための手段

この問題点を解決するために本発明は突起電極を形成した半導体チップの単体もしくは複数個を合成樹脂に埋設し、合成樹脂の表面を研削して突起電極の一部を露出させた後で、合成樹脂層の表面に所望とする回路導体層を形成する方法に関するものである。

作用

このような方法により、半導体チップが合成樹脂中に埋設され、半導体チップに形成された突起電極を露出させた状態で外部に引き出されるので、合成樹脂層の表面に形成される回路導体層との接続が確実に行えると同時に半導体チップの表面が合成樹脂で完全におおわれるので耐湿性が向上がはかられ、高信頼性を有し、小型でしかも薄型の半導体装置が実現されることになる。

実施例

以下、本発明の実施例を図面にもとづいて詳細に説明する。

電気めっき法によって露出した電極端子部に50～150μ程度の銅やニッケルなどから成る導電金属層を厚く析出させた後に突起電極端子部以外に付着したレジストを除去し、露出した金属薄膜層をクイックエッチング法によって除去する方法によって形成した。

次いで第1図Bに示すように突起電極Cを形成した半導体チップBを合成樹脂Dに埋設する。

この場合、使用する合成樹脂Dとしては電気絶縁性、耐湿性、耐熱性、耐薬品性にすぐれていることはもとよりシリコンとの膨張係数が近似して研削作業性にすぐれた特性やイオン性不純物を含有しない樹脂を使用する必要があるが、このような諸特性を満足する合成樹脂材料としてはエポキシ樹脂、ポリイミド樹脂、シリコン樹脂などがあり、本実施例ではエポキシ樹脂にシリカやアルミナなどの無機質充填材を混合し、硬化剤に酸無水物系のものを添加した合成樹脂を使用した。

そして、この合成樹脂を離型性にすぐれた容器中に充てんしてから突起電極Cを形成した半導体

チップ5を埋めこみ、合成樹脂7を加熱硬化させてその硬化物を型から取りはずした。

それから第1図Cに示すように半導体チップ5を埋設した合成樹脂硬化物をサンドペーパーなどを用いてその表面を研削し樹脂層の表面を平滑にするとともに半導体チップ5に形成した突起電極8の一部分を表面に露出させる。

そして第1図Dに示すように合成樹脂層8の表面に真空蒸着法やスパッタリング法、無電解めっき法などによって銅やニッケルなどの導電金属層8を析出させ、しかる後に第1図Eに示すようにフォトエッチング法によって不要部分の導電金属層8を除去して所望とする回路導体層8を形成する。

尚、本実施例においては半導体チップ5の単体を合成樹脂7中に埋設して半導体装置を構成する方法について述べたが、本発明では複数個の半導体チップを合成樹脂中に埋設して相互接続したいわゆるマルチチップ型の半導体装置についても適用できることはいうまでもない。

クした後で合成樹脂7中に埋設することにより平坦性と放熱特性にすぐれた半導体装置を構成した。

さらにまた金属基板に精度良く半導体チップ5を取り付ける方法として、金属基板の所定の位置(半導体チップを取り付ける位置)に半導体チップ5と同一の大きさを有する凹みをエッチング技術を使って形成しておき、この凹みに半導体チップ5を接着することにより半導体チップ5の相対的位置精度の向上をはかることができた。

発明の効果

以上の説明から明らかのように本発明による半導体装置は突起電極を形成した半導体チップの单体もしくは複数個を合成樹脂中に埋設した後で合成樹脂層を研削することによって突起電極の一部を露出させ、しかる後に平坦化した合成樹脂層の表面に所望とする回路導体層を形成する方法によって作られたものである。

従って本発明による半導体装置は、半導体チップの電極端子と回路導体層が確実に接続されるとともに、その接続状態を外観的に検査できる利点

また、本発明の他の実施例として第2図に示す方法を試みた。

第3図において、5, 6, 7, 8は第1の実施例と同じものであり、9は支持基板、10は接着剤層である。この半導体装置は半導体チップ5の放熱性の改善やマルチチップ構成におけるチップ間の位置精度を良好に保つために行ったものである。

即ち、突起電極8を形成した半導体チップ5を予め支持基板9の所定の位置に接着剤10を用いて接着したものと合成樹脂7に埋設する方法によって半導体装置を構成するものである。

この場合、支持基板9としては、ガラスエポキシなどの合成樹脂基板、アルミナなどのセラミック基板、アルミニウムや銅などの金属基板、さらにはガラスなどのいろいろな材質のものが使用できるが、本実施例ではアルミニウムや銅などの金属基板を使用して、この基板上にエポキシ樹脂から成る接着剤10を用いて半導体チップ5の複数個を所定の位置に接着し、その位置精度をチェック

を有することや半導体チップの表面は合成樹脂層で完全に被覆されるので半導体チップの耐湿信頼性が向上すること、さらには半導体チップを高密度に接続できるのでより薄形で高密度化したICカードやメモリカードなどが実現できる特徴を有するものである。

4. 図面の簡単な説明

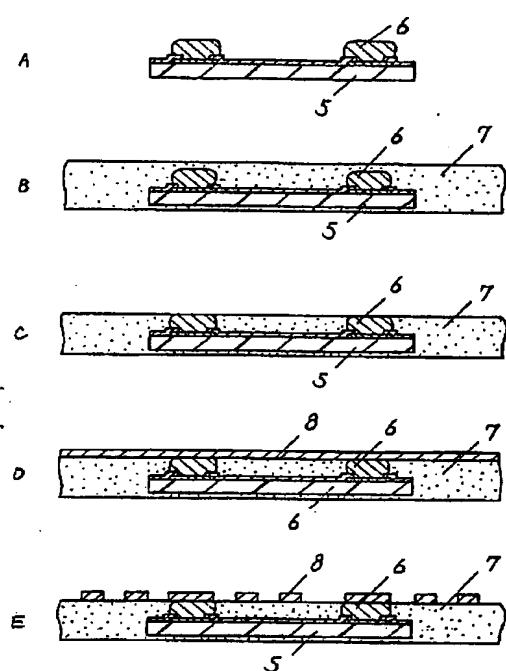
第1図A～Eは本発明の第1の実施例を説明するための半導体装置の製造工程図、第2図は本発明の第2の実施例を説明するための半導体装置の要部断面図、第3図は従来法を説明するためのフリップチップ方式による半導体装置の要部断面図である。

5……半導体チップ、6……突起電極、7……合成樹脂層、8……導電金属層、9……支持基板、10……接着剤層。

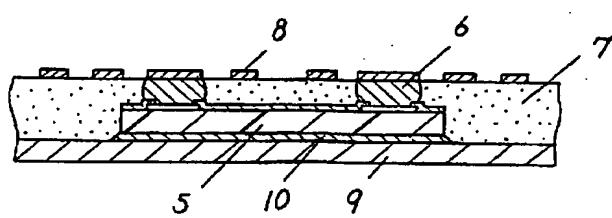
代理人の氏名 弁理士 中尾敏男ほか1名

第 1 図

5 … 半導体チップ
 6 … 突起電極
 7 … 合成樹脂層
 8 … 导電金属層(回路導体層)



第 2 図



第 3 図

